

none

none

none

© EPODOC / EPO

PN - JP2001307910 A 20011102

PD - 2001-11-02

PR - JP20000124181 20000425

OPD - 2000-04-25

TI - LAMINATED ELECTRONIC PARTS ARRAY

IN - ENDO TOSHIICHI;TAKATANI MINORU

PA - TDK CORP

IC - H01C7/10 ; H01C13/02 ; H01G4/12 ; H01G4/30 ; H01G4/38

© WPI / DERWENT

TI - Laminated electronic component array e.g. laminated varistor array has through-holes formed between each varistor, such that their upper and lower ends contact with conductor layers provided between ground electrodes

PR - JP20000124181 20000425

PN - JP2001307910 A 20011102 DW200207 H01C7/10 009pp

PA - (DENK ) TDK CORP

IC - H01C7/10 ;H01C13/02 ;H01G4/12 ;H01G4/30 ;H01G4/38

AB - JP2001307910 NOVELTY - The varistors (6) have a pair of through-holes (5a) formed between them, such that their upper and lower ends contact with conductor layers (5b,5c) provided between the ground electrodes (7), to form a short ring (5).

- USE - E.g. laminated varistor array, laminated capacitor array.  
- ADVANTAGE - Since upper and lower ends of through-holes contact with conductor layers, short ring is formed reliably, and thus cross-talk between varistors due to magnetic field is suppressed.

- DESCRIPTION OF DRAWING(S) - The figure shows perspective views, sectional view and equivalent circuit diagram of electronic component array. (Drawing includes non-English language text).

- Short ring 5
- Through-holes 5a
- Conductor layers 5b,5c
- Varistors 6
- Ground electrodes 7
- (Dwg.1/10)

OPD - 2000-04-25

AN - 2002-052946 [07]

© PAJ / JPO

none

none

none

THIS PAGE BLANK (USPTO)

none	none	none
------	------	------

PN - JP2001307910 A 20011102  
PD - 2001-11-02  
AP - JP20000124181 20000425  
IN - TAKATANI MINORUENDO TOSHIICHI  
PA - TDK CORP  
TI - LAMINATED ELECTRONIC PARTS ARRAY  
AB - PROBLEM TO BE SOLVED: To provide a laminated electronic parts array in which a plurality of varistors or capacitors is formed in a horizontally arranged state and has such a structure that can effectively prevent the occurrence of cross talk.  
- SOLUTION: A pair of through holes 5a for forming a short ring which is continuous in the direction of lamination is formed among laterally adjacent varistor or capacitor electrodes 6 and 6. Then the short ring 5 is constituted by connecting the upper and lower ends of the paired through holes 5a through conductor layers 5a and 5b. In addition, another short ring 5 is formed of conductor patterns between the electrodes 6 in the same layer as that of the electrodes 6. Therefore, the occurrence of cross talk by magnetic fields can be prevented.  
I - H01C7/10 ;H01C13/02 ;H01G4/12 ;H01G4/30 ;H01G4/38

none	none	none
------	------	------

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-307910

(P2001-307910A)

(43)公開日 平成13年11月2日(2001.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 01 C 7/10 13/02		H 01 C 7/10 13/02	5 E 0 0 1 B 5 E 0 3 4
H 01 G 4/12 4/30 4/38	3 5 2 3 0 1	H 01 G 4/12 4/30 4/38	3 5 2 3 0 1 D A
			審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号 特願2000-124181(P2000-124181)

(22)出願日 平成12年4月25日(2000.4.25)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティー・ディーケイ株式会社内

(72)発明者 遠藤 敏一

東京都中央区日本橋一丁目13番1号 ティー・ディーケイ株式会社内

(74)代理人 100081569

弁理士 若田 勝一

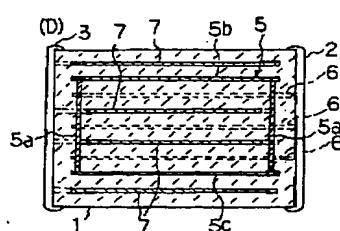
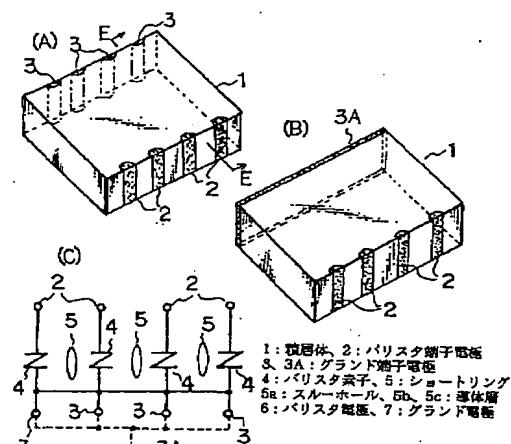
最終頁に続く

(54)【発明の名称】積層電子部品アレイ

(57)【要約】

【課題】内部に横並びに複数個のバリスタまたはコンデンサを形成した積層電子部品アレイにおいて、有効にクロストークを防止できる構造のものを提供する。

【解決手段】横並びに隣接するバリスタまたはコンデンサ電極6、6間に、積層方向に連続するショートリング形成用の一対のスルーホール5aを形成する。対をなすスルーホール5aの上端、下端を、導体層5a、5bで接続してショートリング5を構成する。横並びに隣接する電極6間に、該電極6と同層に、導体パターンによりショートリングを構成する。これにより、磁界によるクロストークを防止することができる。



## 【特許請求の範囲】

【請求項1】内部にバリスタまたはコンデンサ用電極を同層に複数個配列し、前記複数個の電極に共通に絶縁体または抵抗体層を介して前記電極を挟むようにグランド電極を対向させ、前記複数個の電極とグランド電極とを対向させたものを積層方向に1組または複数組備え、前記グランド電極は積層体の外部に設けたグランド端子電極に共通に接続し、前記複数個の電極は、それぞれ前記積層体の外面に設けた対応する端子電極に接続してなる積層電子部品アレイであって、横並びに隣接する前記電極間に、積層方向に連続するショートリング形成用の一対のスルーホールを形成し、各対をなすスルーホールの上端を、最上層バリスタ電極またはコンデンサ電極とその上のグランド電極との間の導体層で接続すると共に、該対をなすスルーホールの下端を最下層バリスタ電極またはコンデンサ電極とその下のグランド電極との間の導体層で接続してショートリングを構成したことを特徴とする積層電子部品アレイ。

【請求項2】内部にバリスタまたはコンデンサ用電極を同層に複数個配列し、前記複数個の電極に共通に絶縁体層または抵抗体層を介して前記電極を挟むようにグランド電極を対向させ、前記複数個の電極とグランド電極とを対向させたものを積層方向に1組または複数組備え、前記グランド電極は積層体の外部に設けたグランド端子電極に共通に接続し、前記複数個の電極は、それぞれ前記積層体の外面に設けた対応する端子電極に接続してなる積層電子部品アレイであって、横並びに隣接する前記電極間に、該電極と同層に、導体パターンによりショートリングを構成したことを特徴とする積層電子部品アレイ。

【請求項3】請求項1または2において、前記積層体は直方体をなし、前記グランド端子電極を、前記積層体の1側面全体に形成したことを特徴とする積層電子部品アレイ。

【請求項4】請求項1または2において、前記積層体は直方体をなし、前記グランド端子電極を、前記積層体の対向する2側面全体に形成したことを特徴とする積層電子部品アレイ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、内部にバリスタまたはコンデンサ用電極を同層に複数個配列し、前記複数個の電極に共通に絶縁体層または抵抗体層を介してグランド電極を対向させてなる積層電子部品アレイに係わり、特にその隣接するバリスタやコンデンサ間のクロストークの低減構造に関する。

## 【0002】

【従来の技術】積層構造により、内部に同層に複数個のバリスタ電極を形成し、これらのバリスタ電極に共通にグランド電極を形成してなる積層バリスタアレイにおける隣接バリスタ間のクロストーク防止構造として、特許第2874695号公報には、図9に示す構造のものが開示されている。図9(A)はその斜視図、図9(B)はその等価回路図、図9(C)はその積層構造図である。この積層バリスタアレイは、図9(C)に示すように、絶縁体(抵抗体)シート20～26のうちの一部のシート22、24に複数個のバリスタ電極27を形成し、これらのバリスタ電極27を積層方向に挟むように、シート21、23、25にグランド電極28を形成し、シート22、24上には、隣接するバリスタ電極27間に同層に於いて挟まるように、クロストーク防止用の線状グランド電極29を設けている。

【0003】前記グランド電極28およびクロストーク防止用のグランド電極29は、図9(A)のグランド端子電極30に接続され、バリスタ電極27は対応する端子電極31に接続されて図9(B)のように、バリスタ32の各一端がグランド電極に共通に接続された等価回路を構成する。

## 【0004】

【発明が解決しようとする課題】図9(C)に示したクロストーク防止用のグランド電極29をバリスタ電極27間に同層に設けた構造においては、前記グランド電極29を形成した層だけにクロストーク用グランド電極29が形成されるので、このグランド電極29の無い部分から信号が漏れるため、クロストーク対策としては充分とはいえない。また、図10(A)に示すように、バリスタ電極27とグランド電極29との間にできる実線矢印に示される電界は、図中の破線矢印で示される磁界を発生させるため、グランド電極29の無い絶縁体(抵抗体)部分で磁気結合してしまう。また、バリスタ電極27間のスペースを十分広くとることができないので、そこに介在させるグランド電極29の幅を充分にとることができず、インダクタンス成分をもってしまうので、十分なシールド効果が得られない。

【0005】本発明は、上記問題点に鑑み、内部に横並びに複数個のバリスタまたはコンデンサを形成した積層電子部品アレイにおいて、有効にクロストークを防止できる構造のものを提供することを目的とする。

## 【0006】

【課題を解決するための手】請求項1の積層電子部品アレイは、内部にバリスタまたはコンデンサ用電極を同層に複数個配列し、前記複数個の電極に共通に絶縁体または抵抗体層を介して前記電極を挟むようにグランド電極を対向させ、前記複数個の電極とグランド電極とを対向させたものを積層方向に1組または複数組備え、前記グランド電極は積層体の外部に設けたグランド端子電極

に共通に接続し、前記複数個の電極は、それぞれ前記積層体の外面に設けた対応する端子電極に接続してなる積層電子部品アレイであって、横並びに隣接する前記電極間に、積層方向に連続するショートリング形成用の一対のスルーホールを形成し、各対をなすスルーホールの上端を、最上層バリスタ電極またはコンデンサ電極とその上のグランド電極との間の導体層で接続すると共に、該対をなすスルーホールの下端を最下層バリスタ電極またはコンデンサ電極とその下のグランド電極との間の導体層で接続してショートリングを構成したことを特徴とする。

【0007】このようなショートリングを設ければ、隣り合うバリスタまたはコンデンサ間の対向面のほぼ全面をショートリングで囲まれた面で覆うことができるので、バリスタ間またはコンデンサの磁界によるクロストークをよりよく抑えることができる。

【0008】請求項2の積層電子部品アレイは、内部にバリスタまたはコンデンサ用電極を同層に複数個配列し、前記複数個の電極に共通に絶縁体層または抵抗体層を介して前記電極を挟むようにグランド電極を対向させ、前記複数個の電極とグランド電極とを対向させたものを積層方向に1組または複数組備え、前記グランド電極は積層体の外部に設けたグランド端子電極に共通に接続し、前記複数個の電極は、それぞれ前記積層体の外面に設けた対応する端子電極に接続してなる積層電子部品アレイであって、横並びに隣接する前記電極間に、該電極と同層に、導体パターンによりショートリングを構成したことを特徴とする。

【0009】このように、バリスタ等の間に同層にショートリングを設ければ、バリスタ等の間の電界によって生じる磁界がこのショートリングの位置で最も集中するから、ショートリングに流れる電流によって効果的にクロストークを削減できる。また、スルーホールを設ける必要がないので、コスト削減や歩留まりの向上に寄与する。

【0010】請求項3の積層電子部品アレイは、請求項1または2において、前記積層体は直方体をなし、前記グランド端子電極を、前記積層体の1側面全体に形成したことを特徴とする。

【0011】請求項4の積層電子部品アレイは、請求項1または2において、前記積層体は直方体をなし、前記グランド端子電極を、前記積層体の対向する2側面全体に形成したことを特徴とする。

【0012】請求項3や4のように、グランド端子電極を1または2つの側面全体に形成する構造とすれば、積層電子部品アレイを基板に実装した時の部品固定強度を上げることができる。

【0013】

【発明の実施の形態】図1(A)は本発明による積層バリスタアレイの一実施の形態を示す斜視図、図1(B)

はその他の実施の形態の斜視図、図1(C)は図1(A)の実施の形態のアレイの等価回路図、図1(D)は図1(A)のE-E断面図である。図2は図1の実施の形態の積層構造図である。

【0014】図1(A)の実施の形態のアレイは、直方体をなす積層体1の一方側面に複数のバリスタ端子電極2を設け、対向する側面に複数のグランド端子電極3を設けている。図1(C)に示すように、積層体1内には複数のバリスタ素子4を内蔵し、バリスタ素子4間にショートリング5を設ける。

【0015】図2の積層構造図は1個のアレイ分について示しており、本発明は印刷法によても実施可能であるが、ここではシート積層法による場合について説明する。1a～1jは積層体1のバリスタ特性を得るために物質を構成するための絶縁体(または抵抗体)グリーンシート(以下単にシートと称する)である。これらのシート1a～1jはZnO系、SrTiO<sub>3</sub>系等のセラミック粉を含むものである。

【0016】6は前記バリスタ端子電極2にそれぞれ引き出し部6aが接続されるバリスタ電極である。7は複数個のバリスタ電極6に絶縁体層を介して共通に対向し、かつ前記グランド端子電極3に引き出し部7aが接続されるグランド電極である。5aはショートリング5を構成するためにシート1c～1hに設けたスルーホールである。これらのスルーホール5aは横並びに隣接するバリスタ電極6間に於いて1対ずつ積層方向に連続するように設けられる。5b、5cはバリスタ電極6間にそれぞれ設けられるスルーホール5aの上端、下端をそれぞれ接続して図1(D)のように積層体1の内部にショートリング5を構成する導体層である。スルーホール5aや導体層5b、5cあるいは電極6、7は金、銀、銅、パラジウム、白金、銀白金、銀パラジウム等の導体を印刷、めっき、エッチング、蒸着、塗布等により形成したものである。

【0017】バリスタ電極6は絶縁体層または抵抗体層を介してグランド電極7によって挟まれるように積層方向に1組設けても良いが、本実施の形態においては、3組設けた例を示す。スルーホール5aの上端を接続する導体層5bは最上層のバリスタ電極6と最上層のグランド電極7との間に設けられ、スルーホール5aの下端を接続する導体層5cは最下層のバリスタ電極6と最下層のグランド電極7との間に設けられる。隣接するバリスタ電極6、6間に一対のスルーホール5a、5a間ににより形成されるショートリング5の幅は、バリスタ電極6の対向する辺の長さと同しかそれよりやや大きい幅に設定する。

【0018】このようなスルーホール5a、導体層5b、5c、バリスタ電極6、グランド電極7を形成したシート1b～1cは表層形成のためのシート1aと共に積層され、個々のチップ毎に切断した後、焼成して端子

電極2、3を転写、印刷、めつき、エッチング等により設ける。

【0019】このように構成された積層バリスタアレイは、図1（C）に示すように、バリスタ素子（バリスタ電極6とグランド電極7とその間の絶縁体層からなるものの積層方向の集合体）4、4間にショートリング5が介在するものとして表現される。

【0020】このような構成とすれば、図10（B）にバリスタが積層方向に1組設けられ場合について示すように、ショートリング5により、隣接バリスタ素子4間にの対向面のほぼ全面を覆うことができるので、隣接するバリスタ素子4間における実線矢印で示される電界（一点鎖線は電流である）によって生じる破線矢印で示される磁界によるクロストークを図11（A）の場合より押さえることができる。

【0021】図1（A）の代わりに図1（B）に示すようにバリスタ端子電極2に対向する側面全面にグランド端子電極3 Aを設ければ、等価回路は図1（C）に示すように、グランド端子電極3 Aが1つの電極として存在する構造となる。このように構成すれば、積層バリスタアレイを基板に半田付け等により実装した場合に部品固定強度を上げることができる。

【0022】図3（A）は本発明による積層バリスタアレイの他の実施の形態を示す斜視図、図3（B）はそのバリスタ電極の引き出し部の構造を示す図、図3（C）はその等価回路図、図4は積層構造図である。

【0023】図3（A）に示すように、本実施の形態においては、積層体1の2つの側面に、トータルの個数がバリスタ電極6の数と同数となるバリスタ端子電極2を分散配置すると共に、これらのバリスタ端子電極2の交互配置とするため、側面と直角をなす2つの側面にグランド端子電極3 Bを配置している。このような配置とするとため、図3（B）および図4に示すように、バリスタ電極6の引き出し部6 aは積層体1の異なる側面に交互に引き出されるように、バリスタ電極6の本体部を延長した方向よりそれた位置となるように曲成された形状に形成している。また、グランド電極7の引き出し部7 aは両側に引き出された形状に形成している。しかしショートリング5を構成するためのスルーホール5 aや導体層5 b、5 cの構造およびショートリング5の幅は前記実施の形態と同様である。

【0024】図3、図4に示した実施の形態においても、等価回路は図3（C）に示すように、バリスタ素子4間にショートリング5が介在することとなり、前記と同様のクロストーク防止効果が上げられる。また、本実施の形態は、グランド端子電極3 Bが2つの側面全面に形成されるので、これを基板に半田付け等により実装した場合に部品固定強度を上げることができる。また、バリスタ電極2が2つの側面に分散配置されるので、バリスタ端子電極2間の間隔に余裕があり、積層バリスタア

レイの小型化が容易となる。

【0025】図5（A）は本発明による積層バリスタアレイの他の実施の形態を示す斜視図、図5（B）はその等価回路図、図6は積層構造図である。本実施の形態においては、積層体1の対向する2つの側面の各々の側面に、バリスタ電極6と同数のバリスタ端子電極2をそれぞれ配置すると共に、これらの側面と直角をなす2つの側面にグランド端子電極3 Bを配置している。このような配置とするため、図6に示すように、バリスタ電極6の引き出し部6 aは積層体1の対向する2つの側面にそれぞれ引き出されるように、バリスタ電極6の本体部を双方に延長した形状に形成している。また、グランド電極7の引き出し部7 aは両側に引き出された形状に形成している。しかしショートリング5を構成するためのスルーホール5 aや導体層5 b、5 cの構造およびショートリング5の幅は前記実施の形態と同様である。

【0026】図5、図6に示した実施の形態においても、等価回路は図5（B）に示すように、バリスタ素子4間にショートリング5が介在することとなり、前記と同様のクロストーク防止効果が上げられる。また、本実施の形態は、グランド端子電極3 Bが2つの側面全面に形成されるので、これを基板に半田付け等により実装した場合に部品固定強度を上げることができる。また、バリスタ電極6に対するバリスタ端子電極2が2つずつ設けられるので、バリスタ電極6のバリスタ端子電極2への接続が確実になる。

【0027】図7（A）は本発明による積層バリスタアレイの他の実施の形態を示す積層構造図、図7（B）はその等価回路図である。本実施の形態においては、図7（A）に示すように、バリスタ電極6を同層において4等分して配置されている。各バリスタ電極6はほぼ長方形をなし、外観は、図3（A）に示したように、対向する2側面にバリスタ端子電極2が設けられ、他の2側面にグランド端子電極3 Bが設けられたものとなる。それぞれのバリスタ電極6の間にはショートリング形成のための1対のスルーホール5 aを形成すると共に、これらのスルーホール5 aの上端、下端をそれぞれ接続する導体層5 b、5 cを、最上層のバリスタ電極6と最上層のグランド電極7との間、および最下層のバリスタ電極6と最下層のグランド電極7との間に設けている。ショートリングの幅とバリスタ電極の辺の長さとの関係は前記実施の形態と同じである。

【0028】本実施の形態においても、図7（B）に示すように、それぞれ縦方向、横方向に隣接するバリスタ素子4間にショートリング5が介在するアレイが構成され、クロストークが防止される。

【0029】図8は本発明による積層バリスタアレイの他の実施の形態を示す積層構造図である。本実施の形態においては、横並びに隣接するバリスタ電極6、6間に同層にそれぞれ独立にショートリング9を形成したもの

である。これらのショートリング9およびバリスタ電極6を形成したシート1c、1eは、グランド電極7を形成したシート1bと1d、1dと1fとの間に挟み、最上層のシート1aと共に重ね、前記同様に製造する。このアレイの外観は図1(A)に示す外観と同じになる。

【0030】図8の実施の形態においては、図10(C)に示すように、バリスタ素子4間の実線で示す電界によって生じる破線で示す磁界がこのショートリング11の位置で最も集中するから、ショートリング11に流れる電流によって効果的にクロストークを削減できる。また、スルーホールを設ける必要がないので、コスト削減や歩留まりの向上に寄与する。

【0031】本発明は、バリスタ材料に代えてチタン酸バリウム系等の誘電体材料を用いることによって積層コンデンサアレイにも適用することができる。

#### 【0032】

【発明の効果】請求項1によれば、横並びに隣接する前記電極間に、積層方向に連続するショートリング形成用の一対のスルーホールを形成し、各対をなすスルーホールの上端を、最上層バリスタ電極またはコンデンサ電極とその上のグランド電極との間の導体層で接続すると共に、該対をなすスルーホールの下端を最下層バリスタ電極またはコンデンサ電極とその下のグランド電極との間の導体層で接続してショートリングを構成したので、隣り合うバリスタまたはコンデンサ間の対向面のほぼ全面をショートリングで囲まれた面で覆うことができる。バリスタ間またはコンデンサの磁界によるクロストークをよりよく抑えることができる。

【0033】請求項2によれば、横並びに隣接する前記電極間に、該電極と同層に、導体パターンによりショートリングを構成したので、バリスタ等の間の電界によって生じる磁界がこのショートリングの位置で最も集中するから、ショートリングに流れる電流によって効果的にクロストークを削減できる。また、スルーホールを設ける必要がないので、コスト削減や歩留まりの向上に寄与する。

【0034】請求項3、4によれば、グランド端子電極を1または2つの側面全体に形成する構造としたので、

積層電子部品アレイを基板に実装した場合に部品固着強度を上げることができる。

#### 【図面の簡単な説明】

【図1】(A)は本発明による積層バリスタアレイの実施の形態を示す斜視図、(B)はそのグランド端子電極の構造を変えた他の実施の形態の斜視図、(C)は(A)または(B)の実施の形態のアレイの等価回路図、(D)は(A)のE-E断面図である。

【図2】図1の実施の形態の積層構造図である。

【図3】(A)は本発明による積層バリスタアレイの他の実施の形態を示す斜視図、(B)はそのバリスタ電極の引き出し部の構造を示す図、(C)はその等価回路図である。

【図4】図3の実施の形態の積層構造図である。

【図5】(A)は本発明による積層バリスタアレイの他の実施の形態を示す斜視図、(B)はその等価回路図である。

【図6】図5の実施の形態の積層構造図である。

【図7】(A)は本発明による積層バリスタアレイの他の実施の形態を示す積層構造図、(B)はその等価回路図である。

【図8】本発明による積層バリスタアレイの他の実施の形態を示す積層構造図である。

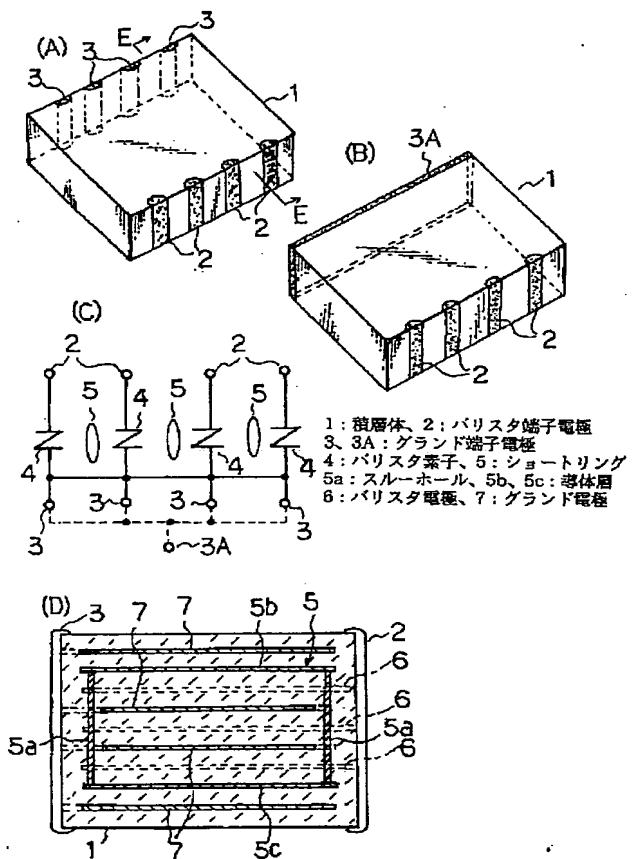
【図9】(A)は従来の積層バリスタアレイを示す斜視図、(B)はその等価回路図、(C)はその積層構造図である。

【図10】(A)は図9の積層バリスタアレイにおけるクロストークを説明する図、(B)は図1～図7に示した本発明の実施の形態による積層バリスタアレイのクロストーク防止作用を説明する図、(C)は図8に示した本発明の実施の形態による積層バリスタアレイのクロストーク防止作用を説明する図である。

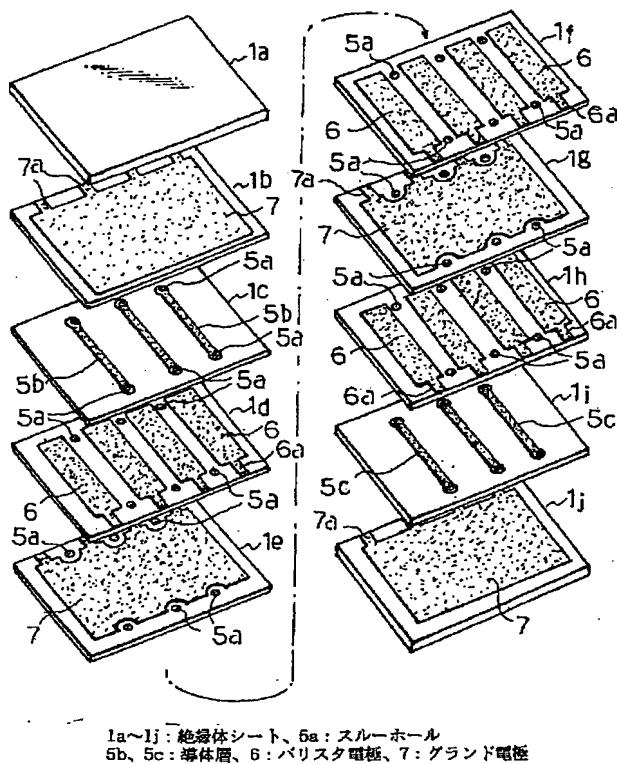
#### 【符号の説明】

1：積層体、1a～1j：絶縁体シート、2：バリスタ端子電極、3、3A、3B：グランド端子電極、4：バリスタ素子、5：ショートリング、5a：スルーホール、5b、5c：導体層、6：バリスタ電極、7：グランド電極、9：ショートリング

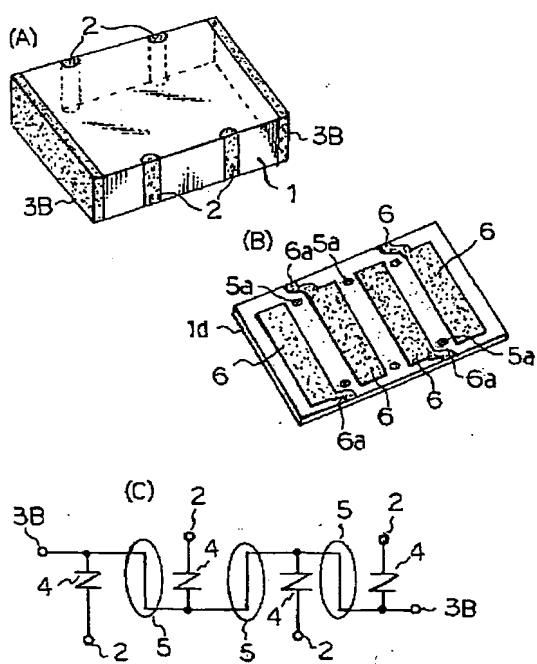
【图1】



【図2】

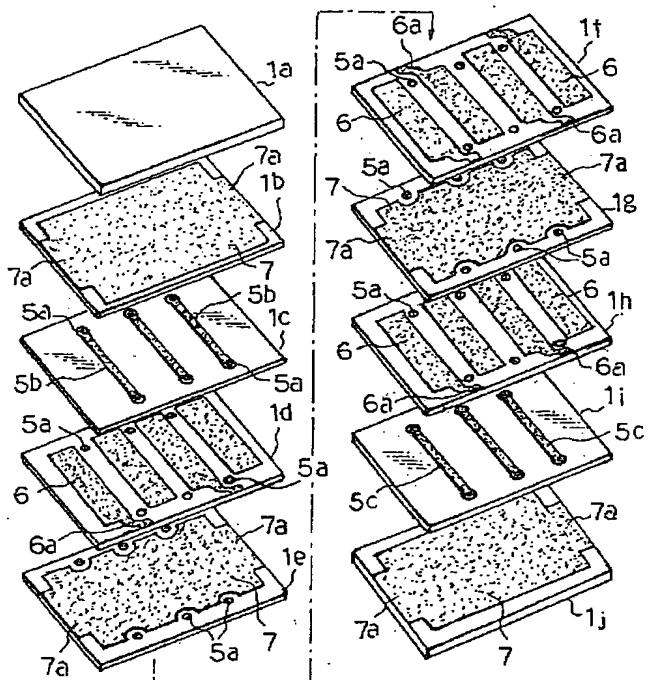


〔図3〕



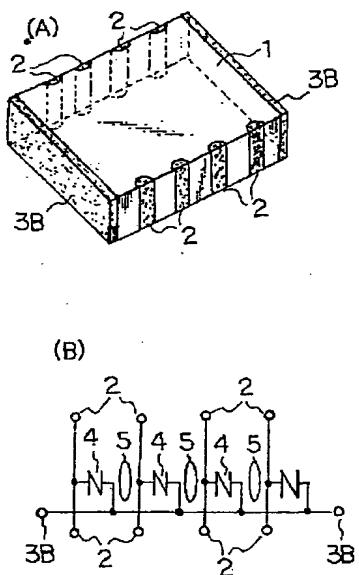
1: 積層体、2: バリストア端子電極  
 3B: グランド端子電極  
 4: バリストア素子、5: ショートリング  
 6: バリストア電極

【図4】



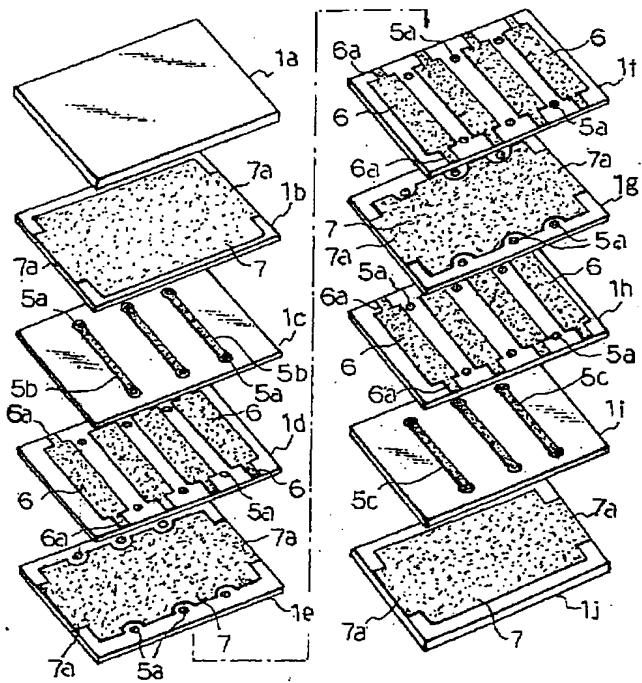
1a~1j: 裸層体シート、5a: スルーホール  
5b、5c: 导体層、6: バリスタ電極、7: グランド電極

【図5】



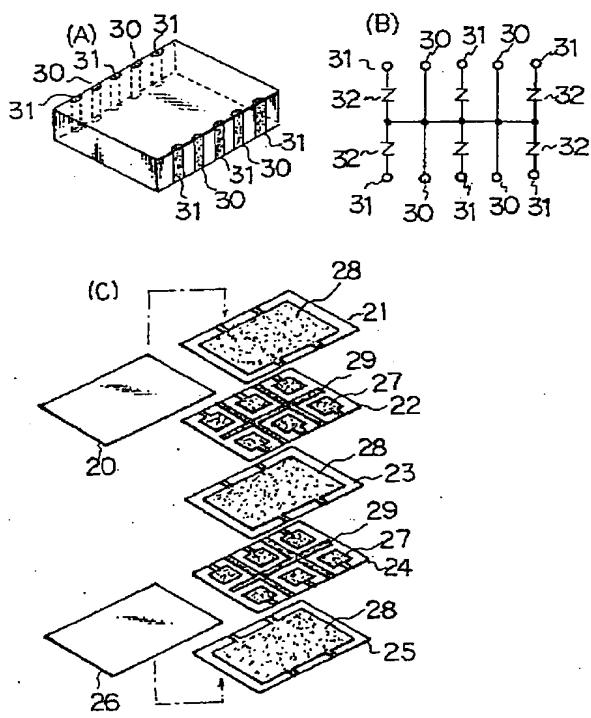
1: 裸層体、2: バリスタ端子電極  
3B: グランド端子電極  
4: バリスタ素子、5: ショートリング

【図6】

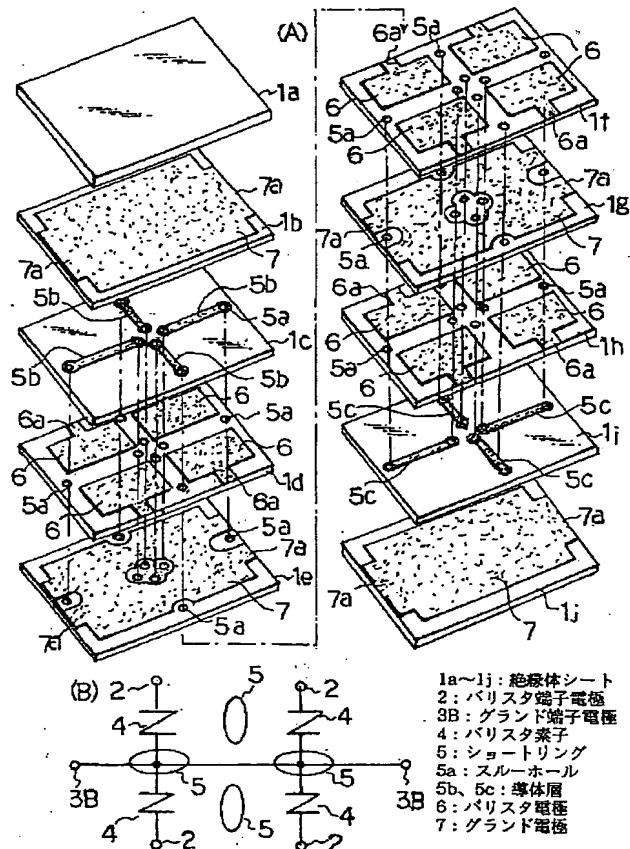


1a~1j: 裸層体シート、5a: スルーホール  
5b、5c: 导体層、6: バリスタ電極、7: グランド電極

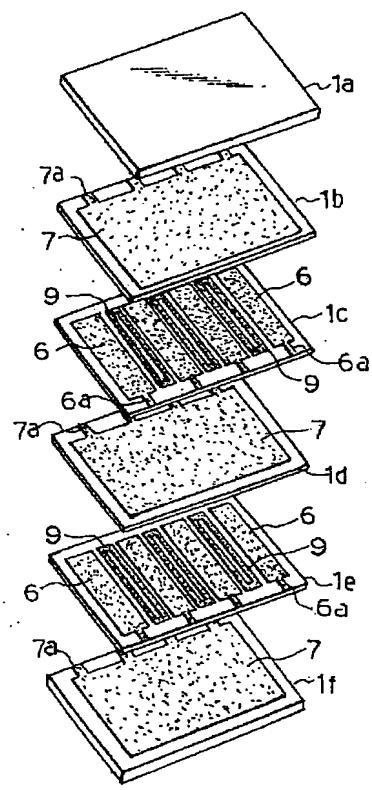
【図9】



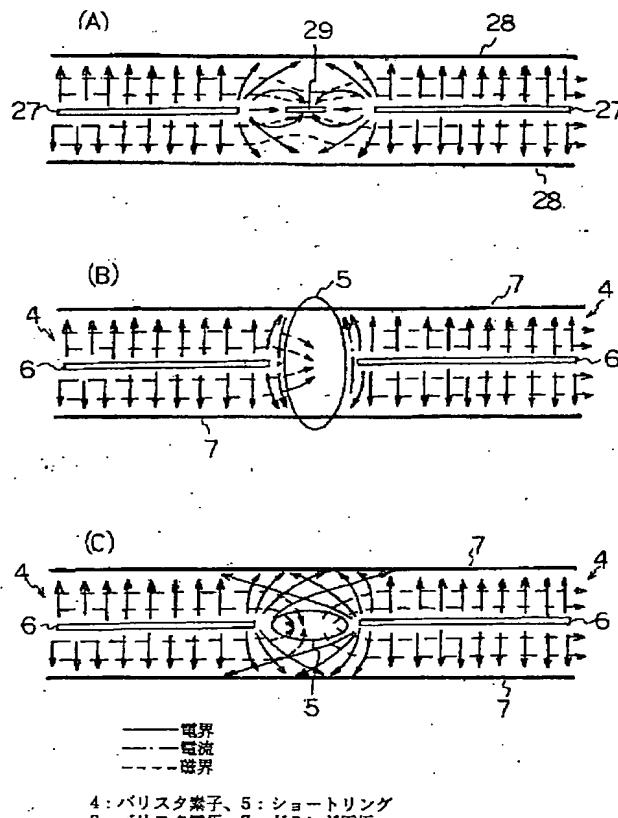
【図7】



【図8】



【図10】



4: パリスター素子、5: ショートリング  
6: パリスター電極、7: グランド電極

フロントページの続き

Fターム(参考) 5E001 AB03 AC09 AC10 AD05 AE02  
AE03 AF06 AG00 AH01 AH03  
AH06 AH07 AH09 AJ01 AJ03  
AZ00 AZ01  
5E034 CA10 CB01 CC02 CC11 DA07  
DB01 DC01 DD01  
5E082 AA01 AB03 BB10 BC38 CC03  
EE04 EE05 EE23 EE26 EE35  
EE37 EE39 EE47 FG06 FG26  
FG27 FG54 GG10 GG11 GG26  
GG28 HH43 JJ03 JJ12 JJ15  
JJ21 JJ23 KK01 LL02 LL03  
MM24

THIS PAGE IS BLANK (USP TO)